

RISC

Z Wikipedii, wolnej encyklopedii.

RISC (*Reduced Instruction Set Computers*) - nazwa architektury mikroprocesorów która została po raz pierwszy zaprezentowana ok. 1980 roku w teoretycznych pracach na uniwersytecie Berkeley.

Ówczesne procesory (budowane w architekturze CISC) charakteryzowały się bardzo rozbudowaną listą rozkazów, ale jak wykazały badania tylko nieliczna ich część była wykorzystywana w statystycznym programie. Okazało się np. że ponad 50% rozkazów w kodzie to zwykłe przypisanie (zapis zawartości rejestru do pamięci i odwrotnie).

Ponadto badania wykazały, że podczas działania programu ok. 26-45% wykonywanych instrukcji to instrukcje wywołania podprocedur lub instrukcje obsługujące pętle, ok. 13-15% to wspomniane przypisanie, 7-21% to instrukcje warunkowe (jeśli *warunek* to ...), natomiast reszta to tylko 1-3%.

(Dane procentowe za Józef Kalisz, „Podstawy elektroniki cyfrowej”)

W związku z powyższym zaprezentowano architekturę mikroprocesorów, w której uwzględniono wyniki badań. Jej podstawowe cechy to:

1. Zredukowana liczba rozkazów, ich liczba wynosi kilkadziesiąt, podczas gdy w procesorach CISC sięga setek. Upraszcza to znacznie dekodery rozkazów.
2. Redukcja trybów adresowania, dzięki czemu kody rozkazów są prostsze, bardziej zunifikowane, co dodatkowo upraszcza wspomniany wcześniej dekodery rozkazów. Ponadto wprowadzono tryb adresowania, który ogranicza ilość przesłań - większość operacji wykonuje się wg schematu: *rejestr_C = rejestr_A operacja rejestr_B*.
3. Ograniczenie komunikacji pomiędzy pamięcią, a procesorem. Przede wszystkim do przesyłania danych pomiędzy pamięcią, a rejestrami służą dedykowane instrukcje, które zwykle nazywają się **load** (załaduj z pamięci), oraz **store** (zapisz do pamięci); pozostałe instrukcje mogą operować wyłącznie na rejestrach. Schemat działania na liczbach znajdujących się w pamięci jest następujący: załaduj daną z pamięci do rejestru, na zawartości rejestru wykonaj działanie, przepisz wynik z rejestru do pamięci.
4. Zwiększenie liczby rejestrów (np. 32, 192, 256, podczas gdy np. w architekturze x86 jest zaledwie 8 rejestrów), co również ma wpływ na zmniejszenie liczby odwołań do pamięci.
5. Wszystkie rozkazy wykonują się w jednym cyklu maszynowym, co pozwala na znaczne uproszczenie bloku wykonawczego, a także na zrównoleżenie wykonywania rozkazów poprzez **przetwarzanie potokowe** (ang. *pipelining*). Także czas reakcji na przerwanie jest krótszy.

Obecnie popularne procesory Intela z punktu widzenia programisty są widziane jako CISC, ale ich rdzeń jest RISC-owy. Rozkazy CISC są rozbijane na **mikrorozkazy** (ang. *microops*), które są następnie wykonywane przez RISC-owy blok wykonawczy.

Przykłady rodzin mikroprocesorów o architekturze **RISC**:

- PowerPC
- MIPS
- Alpha
- ARM
- Motorola 88000
- AMD 29000
- SPARC

Źródło: "<http://pl.wikipedia.org/wiki/RISC>"

Kategorie stron: Sprzęt komputerowy

-
- Tę stronę ostatnio zmodyfikowano o 21:46, 8 mar 2005
 - Treść udostępniana na licencji GNU Free Documentation License.